

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

04.03.03

20 SEP 2004

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日  
Date of Application:

2002年 3月25日

REC'D 23 MAY 2003

WIPO PCT

出 願 番 号  
Application Number:

特願2002-082451

[ST.10/C]:

[JP2002-082451]

出 願 人  
Applicant(s):

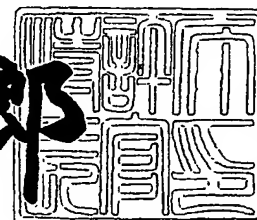
株式会社 液晶先端技術開発センター

PRIORITY DOCUMENT  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH  
RULE 17.1(a) OR (b)

2003年 5月 9日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田 信一郎



BEST AVAILABLE COPY

出証番号 出証特2003-3024616

【書類名】 特許願

【整理番号】 G6589

【提出日】 平成14年 3月25日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 29/78

【発明者】

【住所又は居所】 神奈川県横浜市戸塚区吉田町292番地  
株式会社液晶先端技術開発センター内

【氏名】 平松 雅人

【発明者】

【住所又は居所】 神奈川県横浜市戸塚区吉田町292番地  
株式会社液晶先端技術開発センター内

【氏名】 松村 正清

【発明者】

【住所又は居所】 神奈川県横浜市戸塚区吉田町292番地  
株式会社液晶先端技術開発センター内

【氏名】 西谷 幹彦

【発明者】

【住所又は居所】 神奈川県横浜市戸塚区吉田町292番地  
株式会社液晶先端技術開発センター内

【氏名】 木村 嘉伸

【発明者】

【住所又は居所】 神奈川県横浜市戸塚区吉田町292番地  
株式会社液晶先端技術開発センター内

【氏名】 山元 良高

【特許出願人】

【識別番号】 501286657

【氏名又は名称】 株式会社液晶先端技術開発センター

## 【代理人】

【識別番号】 100075753

【弁理士】

【氏名又は名称】 和泉 良彦

【電話番号】 03-3214-0502

## 【選任した代理人】

【識別番号】 100081341

【弁理士】

【氏名又は名称】 小林 茂

【電話番号】 03-3214-0502

## 【手数料の表示】

【予納台帳番号】 084480

【納付金額】 21,000円

## 【出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0118089

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 薄膜トランジスタおよびそれを用いた液晶ディスプレイ

【特許請求の範囲】

【請求項1】

半導体層からなる活性層内の両側に設けたソース領域およびドレイン領域と、前記ソース領域と前記ドレイン領域との間の前記活性層の上または下に設けたゲート電極とを有する薄膜トランジスタにおいて、

前記ソース領域の前記ゲート電極端の幅と、前記ドレイン領域の前記ゲート電極端の幅とが異なることを特徴とする薄膜トランジスタ。

【請求項2】

前記活性層の平面形状が略台形状または略扇形状であることを特徴とする請求項1記載の薄膜トランジスタ。

【請求項3】

前記台形または前記扇の開き角が20度以上であることを特徴とする請求項2記載の薄膜トランジスタ。

【請求項4】

前記活性層のソースドレイン方向が当該活性層内の結晶粒界に沿うように、当該活性層が配置されていることを特徴とする請求項1、2または3記載の薄膜トランジスタ。

【請求項5】

前記薄膜トランジスタが形成される半導体層は、結晶粒界が放射状に伸びている半導体層であり、

前記活性層のソースドレイン方向が前記放射方向に沿うように、前記活性層が配置されていることを特徴とする請求項1、2、3または4記載の薄膜トランジスタ。

【請求項6】

前記薄膜トランジスタが形成される半導体層は、結晶粒界が平行に伸びている半導体層であり、

前記活性層の前記ソースドレイン方向が前記平行方向に沿うように、前記活

性層が配置されていることを特徴とする請求項1、2、3または4記載の薄膜トランジスタ。

【請求項7】

略円形の半導体層の中に、それぞれ扇形状のN型の薄膜トランジスタとP型の薄膜トランジスタとを相対する位置に作製し、相補型回路を構成したことを特徴とする請求項1、2、3、4または5記載の薄膜トランジスタ。

【請求項8】

薄膜トランジスタを用いた液晶ディスプレイにおいて、請求項1、2、3、4、5または6記載の薄膜トランジスタを用いたことを特徴とする液晶ディスプレイ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、薄膜トランジスタおよびそれを用いた液晶ディスプレイに関する。

【0002】

【従来の技術】

例えば液晶ディスプレイの画素のスイッチング素子として、あるいは周辺回路の構成素子として、薄膜トランジスタ（TFT）が用いられている。

【0003】

薄膜トランジスタは、半導体層からなる活性層を有し、該活性層内の両側には、ソース領域およびドレイン領域が導電性不純物の導入によって形成されている。これらのソース領域とドレイン領域との間の活性層によってチャネル領域が構成され、さらに、このチャネル領域の上（あるいは下）にゲート絶縁膜を介して、ゲート電極が形成されて薄膜トランジスタが構成されている。

【0004】

なお、活性層となる半導体層としては、例えば多結晶シリコン膜（Polysilicon膜）が用いられている。

【0005】

【発明が解決しようとする課題】

ソース領域、ドレイン領域、およびチャネル領域が形成される半導体層からなる活性層においては、一つ一つの結晶粒の粒径や、面方位の違いによって、薄膜トランジスタの電気特性にばらつきが生じるという問題がある。

#### 【0006】

粒径を大きくする手法としては、例えば、松村正清による「エキシマレーザを用いた巨大結晶粒 Si 薄膜の形成」（表面科学 Vol.21, No.5, pp.278-287, 2000 p.34-43：第1の文献）に報告されている。しかしながら、この技術では、基板面での結晶方位を制御するまでには至っていない。

#### 【0007】

結晶方位によってデバイスの特性に差が生じることは、例えば Bernd Goebel 他 の報告で知られている（IEEE Trans. Elect. Dev. Vol.48, No.5, May 2001 pp. 897-905：第2の文献）。

#### 【0008】

図15は、従来の結晶粒、結晶粒界の一例を示す概略平面図である。

#### 【0009】

100は結晶粒、101は結晶粒界、102は活性層、103は活性層102内における電流が流れる方向である。

#### 【0010】

活性層102内の結晶粒100あるいは結晶粒界101の数が異なると、薄膜トランジスタの電気特性がばらつく。また、電流が流れる方向103に示すように、結晶粒界101に対して電流が横切るように活性層102を配置する場合は、該活性層102で構成されるデバイスの特性が悪くなる。

#### 【0011】

上記のように、多結晶シリコン膜を活性層102に用いた薄膜トランジスタにおいては、該活性層102内に存在する個々の Si 結晶粒100の結晶方位を制御できないため、結晶方位によるデバイス特性の差を小さくすることが難しい。これは、特にチャネルサイズが小さくなってくると、一つの結晶粒100の活性層102に占める割合が大きくなってくるため、通常のデバイス構造では、このばらつきを小さくすることができないという問題点がある。

## 【0012】

また、薄膜トランジスタの多結晶シリコンを用いた活性層102内に存在する結晶粒界101が、該トランジスタの電界効果移動度を低下させている要因であることは、例えばLevinsonらの報告で知られている（J. Appl. Phys., Vol.53, No.2, February 1982 p.1193-1202：第3の文献）。したがって、電界効果移動度の大きなトランジスタを作製するためには、活性層102に結晶粒界101がないことが求められる。その際、電気伝導の担体である電子または正孔の移動する方向を横切る方向に存在する結晶粒界101と、おおむね同移動方向に沿って存在する結晶粒界101とでは、電気特性に与える影響はおのずから異なっていると考えられる。

## 【0013】

なお、基板全面を結晶シリコン基板並みの単結晶にすることは、例えば財団法人新機能素子研究開発協会の「三次元回路素子研究開発プロジェクト」p.87-104平成3年10月23日発行（：第4の文献）にも報告されているが、現時点でも実用が難しいという問題点がある。

## 【0014】

本発明の目的は、上記の従来技術の実情に鑑み、電気特性のばらつきを小さくすることができる薄膜トランジスタおよびそれを用いた液晶ディスプレイを提供することにある。

## 【0015】

## 【課題を解決するための手段】

上記課題を解決するため、本発明においては特許請求の範囲に記載するような構成をとる。

## 【0016】

すなわち、請求項1記載の薄膜トランジスタは、半導体層からなる活性層内の両側に設けたソース領域およびドレイン領域と、前記ソース領域と前記ドレイン領域との間の前記活性層の上または下に設けたゲート電極とを有する薄膜トランジスタにおいて、前記ソース領域の前記ゲート電極端の幅と、前記ドレイン領域の前記ゲート電極端の幅とが異なることを特徴とする。

## 【0017】

また、請求項2記載の薄膜トランジスタは、請求項1記載の薄膜トランジスタにおいて、前記活性層の平面形状が略台形状または略扇形状であることを特徴とする。

## 【0018】

また、請求項3記載の薄膜トランジスタは、請求項2記載の薄膜トランジスタにおいて、前記台形または前記扇の開き角が20度以上であることを特徴とする。

## 【0019】

また、請求項4記載の薄膜トランジスタは、請求項1、2または3記載の薄膜トランジスタにおいて、前記活性層のソースドレイン方向が当該活性層内の結晶粒界に沿うように、当該活性層が配置されていることを特徴とする。

## 【0020】

また、請求項5記載の薄膜トランジスタは、請求項1、2、3または4記載の薄膜トランジスタにおいて、前記薄膜トランジスタが形成される半導体層は、結晶粒界が放射状に伸びている半導体層であり、前記活性層のソースドレイン方向が前記放射方向に沿うように、前記活性層が配置されていることを特徴とする。

## 【0021】

また、請求項6記載の薄膜トランジスタは、請求項1、2、3または4記載の薄膜トランジスタにおいて、前記薄膜トランジスタが形成される半導体層は、結晶粒界が平行に伸びている半導体層であり、前記活性層の前記ソースドレイン方向が前記平行方向に沿うように、前記活性層が配置されていることを特徴とする。

## 【0022】

また、請求項7記載の薄膜トランジスタは、請求項1、2、3、4または5記載の薄膜トランジスタにおいて、略円形の半導体層の中に、それぞれ扇形状のN型の薄膜トランジスタとP型の薄膜トランジスタとを相対する位置に作製し、相補型回路を構成したことを特徴とする。



## 【0023】

また、請求項8記載の液晶ディスプレイは、薄膜トランジスタを用いた液晶ディスプレイにおいて、請求項1、2、3、4、5または6記載の薄膜トランジスタを用いたことを特徴とする。

## 【0024】

## 【発明の実施の形態】

以下、図面を用いて本発明の実施の形態について詳細に説明する。なお、以下で説明する図面で、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

## 【0025】

結晶方位によるデバイス特性のばらつきを小さくするために、薄膜トランジスタを形成する半導体層からなる活性層を、扇形状（あるいは台形状）にすることを考えた。開き角がある角度以上の扇形状の薄膜トランジスタを用いることによって、いろいろな面方位が平均化されるというメリットがある。特に、円形で大きな結晶粒の多結晶シリコン膜が得られた場合、一つの結晶粒の中に、扇形状でなおかつ相対する位置に、N型の薄膜トランジスタとP型の薄膜トランジスタとを作製することにより、よりよい相補性を示すデバイス、すなわち、相補型回路（CMOS）が作製可能となる（後で詳述）。

## 【0026】

上記第2の文献での報告にある二次元方向の方位と移動度を参考にして、扇形の開き角と移動度との関係について検討した。

## 【0027】

図2は、上記円形の半導体層を用いて、扇形状の結晶の中心軸と、（001）方向との角度に対する電界効果移動度の違いを、扇形の開き角を変えて行った実験を説明する図である。

## 【0028】

図2において、1は略円形（以下、単に円形と記す）の半導体層、2は扇形状の結晶、Aは扇形状の結晶の中心軸、Bは（001）方向、 $\theta$ は扇形（または台形）の開き角、Cは扇形状の結晶の中心軸Aと（001）方向Bとの角度である

## 【0029】

図3は、その実験の結果である電界効果移動度の方位依存性を示す図で、扇形の開き角 $\theta$ における、扇形状の結晶の中心軸Aの方位と相対移動度との関係を示す図である。

## 【0030】

図3に示すように、扇形の開き角 $\theta$ （図2）が大きいと、移動度のばらつきが小さくなることがわかった。これは図3の右の方から明らかである。すなわち、扇形状の結晶の中心軸Aが、（001）方向Bから外れると、ほとんど移動度が変わらない。また、扇形状の結晶の中心軸Aを（001）方向Bとしたときに、その他の方向をより多く取り込んでいる方がばらつきが小さくなる。したがって、図3から、扇形の開き角 $\theta$ を $20^\circ$ 以上とすることで、移動度のばらつきがほぼ5%以内におさまることがわかった。

## 【0031】

すなわち、薄膜トランジスタの活性層の形状を、開き角 $\theta$ が $20^\circ$ 以上の扇形状にすることにより、活性層に用いるSiの結晶方位がばらついていても、電気特性のばらつきを十分小さくすることが可能となる。

## 【0032】

また、一つの結晶粒の中に、向かい合ってN型とP型の一組の薄膜トランジスタを作製すれば、特性がそろうため、設計通りの相補性を示す相補型回路（CMOS）を実現できる（後で詳述）。

## 【0033】

## 実施の形態1

図1（a）は、本発明の実施の形態1に係る薄膜トランジスタの概略構成を示す平面図、（b）は（a）の断面図、（c）は、本実施の形態1に係る別の薄膜トランジスタの概略構成を示す平面図、（d）は（c）の断面図である。

## 【0034】

10は薄膜トランジスタ、11は例えばシリコン（Si）からなる略台形状（以下、単に台形状と記す）の活性層、12は半導体層11内に設けたソース領域

、13は半導体層11内に設けたドレイン領域、14はソース領域12とドレイン領域13との間の活性層11の上に設けたゲート電極、15はゲート絶縁膜、16はチャネル領域、17はソースドレイン方向、 $W_s$ はソース領域12のソースドレイン方向17に直角な方向のゲート電極14端の幅（以下、幅というときは同方向の幅をいうものとする）、 $W_d$ はドレイン領域13のゲート電極14端の幅である。ソースドレイン方向17というのは、ソース領域12からドレイン領域13へキャリアが流れる方向（チャネル方向）である。

#### 【0035】

本実施の形態1では、半導体層からなる活性層11内の両側に設けたソース領域12およびドレイン領域13と、ソース領域12とドレイン領域13との間の活性層11の上（または下）に設けたゲート電極14とを有する薄膜トランジスタにおいて、ソース領域12のゲート電極14端の幅と、ドレイン領域13のゲート電極14端の幅とが異なることを特徴とする。

#### 【0036】

すなわち、 $W_s > W_d$ （図1（a）、（b））、または、 $W_s < W_d$ である（図1（c）、（d））。

#### 【0037】

また、活性層11の平面形状が例えば台形状（または略扇形状。以下、単に扇形状と記す）であることを特徴とする。なお、活性層11の平面形状は、必ずしも台形状や扇形状でなくても、 $W_s > W_d$ または $W_s < W_d$ の関係を満たせば、本発明の効果は得られる。

#### 【0038】

なお、ゲート電極14が活性層11の下に存在する構造については図示省略する。この構造の場合、ゲート電極14は、活性層11の下にゲート絶縁膜を介して形成される。

#### 【0039】

図4は、本実施の形態1に係る台形状の活性層11の概略形状と、該台形の開き角 $\theta$ を示す概略平面図である。

#### 【0040】

本実施の形態1では、図4に示すように、台形（または扇形）の開き角 $\theta$ が20度以上となっている。既に図2、図3を用いて説明したように、その他の方向をより多く取り込んでいる方がばらつきが小さくなるため、台形の開き角 $\theta$ を20°以上とすることで、移動度のばらつきをほぼ5%以内におさめることができ、デバイス特性のばらつきを小さくするのに有利である。扇形の場合も同様である。

#### 【0041】

図5(a)～(d)は、それぞれ台形状の活性層11における結晶粒界21を示す概略平面図である。

#### 【0042】

図5(a)、(b)が本実施の形態1の場合、図5(c)、(d)は本実施の形態1によらない場合である。

#### 【0043】

本実施の形態1では、図5(a)、(b)に示すように、活性層11のソースドレイン方向が当該活性層11内の結晶粒界に沿うように、当該活性層11が配置されている。

#### 【0044】

本実施の形態1では、図5(a)、(b)に示すように、ソースドレイン方向17、すなわち、電気伝導の担体である電子あるいは正孔の移動する方向に沿って結晶粒界21が存在するので、電気特性を向上できる。これに対して、図5(c)、(d)に示すように、ソースドレイン方向17を横切る向きの結晶粒界21が存在する場合、電気特性は低下する。

#### 【0045】

図6(a)は、結晶粒界21が放射状に伸びている円形の半導体層1の概略平面図、(b)は該円形の半導体層1における活性層11a～11eの配置例を示す概略平面図である。

#### 【0046】

22は活性層11a～11e内における電流が流れる方向である。

#### 【0047】

本実施の形態1では、薄膜トランジスタが形成される半導体層は、結晶粒界が放射状に伸びている半導体層、例えば図6(a)、(b)の円形の半導体層1であり、図6(b)に示すように、活性層11のソースドレイン方向17(すなわち、電流が流れる方向22)が前記放射方向に沿うように、活性層11a、11b、11cが配置されている。これにより、ソースドレイン方向17、すなわち、電気伝導の担体である電子あるいは正孔の移動する方向に沿って結晶粒界21が存在するので、電気特性を向上できる。これに対して、図6(b)の活性層11d、11eは、本実施の形態1によらない場合であり、ソースドレイン方向17(すなわち、電流が流れる方向22)を横切る向きの結晶粒界21が存在するので、電気特性は低下する。

【0048】

図7は、本実施の形態1の薄膜トランジスタの概略平面図である。

【0049】

32はソース電極、33はドレイン電極、42はソース領域12とソース電極32とを接触させるためのコンタクトホール、43はドレイン領域13とドレイン電極33とを接触させるためのコンタクトホールである。コンタクトホール42、43は、電流を結晶粒界21に沿うように流し、電流密度を均一化するために、ソース領域12とドレイン領域13の幅方向に多数個並べて配置している。

【0050】

図7に示す薄膜トランジスタ10では、ソース領域12のゲート電極14端の幅を、ドレイン領域13のゲート電極14端の幅より大きくしてある。また、活性層11が扇形状になっている。なお、図示は省略するが、ドレイン領域13のゲート電極14端の幅を、ソース領域12のゲート電極14端の幅より大きくした薄膜トランジスタの場合でも本発明による効果が得られる。

【0051】

# 《製造工程》

図8(a)～図10(r)は、本実施の形態1の薄膜トランジスタの製造工程概略断面図である。

【0052】

まず、図8(a)に示すように、液晶ディスプレイ作製のガラス基板51上に、プラズマCVDによって下地酸化膜( $\text{SiO}_2$ 膜)52を、基板温度500℃、堆積時間40分で膜厚800nm成膜する。

#### 【0053】

次に、図8(b)に示すように、LP(low pressure)-CVDによって流速150cccm、圧力8Paの $\text{Si}_2\text{H}_6$ ガスを用い、活性層形成用のa-Si(アモルファスシリコン)膜53を基板温度450℃、堆積時間70分で膜厚100nm成膜する。その後、ドーパントとしてボロン54をイオンシャワードーピング法によりドーピングする。

#### 【0054】

次に、図8(c)に示すように、KrF(フッ化クリプトン)エキシマレーザ55を $350\text{mJ}\cdot\text{cm}^{-2}$ の強度で照射する。レーザ光強度を、中心を弱く、周辺を強く、同心円状にすることで、円板型の大きな結晶粒を持つ多結晶シリコン膜56(図8(d))を得る。

#### 【0055】

次に、図8(d)に示すように、LP-CVDによって保護酸化膜( $\text{SiO}_2$ 膜)57を、基板温度500℃、堆積時間10分で膜厚10nm成膜する。

#### 【0056】

次に、図8(e)に示すように、レジスト材を塗布し、露光、現像を行ってパターンニングしたレジスト膜58を形成する。

#### 【0057】

次に、図8(f)に示すように、レジスト膜58をマスクとして、保護酸化膜57および多結晶シリコン膜56を、 $\text{BCl}_3 + \text{CH}_4$ ガスを用いたドライエッチングにより加工する。このとき、保護酸化膜57および多結晶シリコン膜56は、図1(a)、(c)に示したような台形状(活性層11の形状)、あるいは図7に示したような扇形状(活性層11の形状)に加工する。

#### 【0058】

次に、図8(f)のレジスト膜58を、図8(g)に示すように除去する。

#### 【0059】

次に、図9 (h) に示すように、LP-CVDによってゲート酸化膜 ( $\text{SiO}_2$  膜) 59を、基板温度500℃、堆積時間60分で膜厚100nm成膜する。

## 【0060】

次に、図9 (i) に示すように、スパッタリングによってゲート電極形成用のMo (モリブデン) 膜60を、基板温度100℃、堆積時間10分で膜厚100nm成膜する。

## 【0061】

次に、図9 (j) に示すように、レジスト材を塗布し、露光、現像を行ってパターンニングしたレジスト膜61を形成する。

## 【0062】

次に、図9 (k) に示すように、レジスト膜61をマスクとして、Mo膜60を $\text{BCl}_3 + \text{CH}_4$  ガスを用いたドライエッチングにより加工し、ゲート電極62を形成する。

## 【0063】

次に、図9 (l) のレジスト膜61を、図10 (1) に示すように除去する。

## 【0064】

次に、図9 (m) に示すように、プラズマCVDによってパッシベーション膜 ( $\text{SiO}_2$  膜) 63を、基板温度500℃、堆積時間20分で膜厚200nm成膜する。

## 【0065】

次に、図9 (n) に示すように、レジスト材を塗布し、露光、現像を行ってパターンニングしたレジスト膜64を形成する。

## 【0066】

次に、図9 (o) に示すように、レジスト膜64をマスクとして、 $\text{CHF}_3 + \text{O}_2$  ガスを用いたドライエッチングにより加工し、コンタクトホール65を形成する。

## 【0067】

次に、図9 (o) のレジスト膜64を、図10 (p) に示すように除去する。

## 【0068】

次に、図10 (q) に示すように、ソース領域およびドレイン領域形成用のリ  
66のイオンドーピングを行った後、500℃の窒素雰囲気中で、3時間ドー  
パントの活性化アニールを行って、ソース領域67およびドレイン領域68を形  
成する。69はソース領域67とドレイン領域68との間のチャネル領域である

#### 【0069】

次に、図10 (r) に示すように、スパッタリングによって電極形成用のAl  
(アルミニウム) 膜70を、基板温度100℃、堆積時間10分で膜厚100nm  
成膜する。

#### 【0070】

次に、図10 (s) に示すように、レジスト材を塗布し、露光、現像を行って  
パターンニングしたレジスト膜71を形成する。

#### 【0071】

次に、図10 (t) に示すように、レジスト膜70をマスクとして、Al膜7  
)をBCl<sub>3</sub>+CH<sub>4</sub> ガスを用いたドライエッチングにより加工し、ソース電極  
72、ドレイン電極73、ゲート電極(ゲート電極62の取り出し電極) 74を  
形成する。

#### 【0072】

最後に、図10 (t) のレジスト膜71を、図10 (u) に示すように除去し  
薄膜トランジスタ10の作製が完了する。

#### 【0073】

##### 実施の形態2

図11 (a) は、本実施の形態2の相補型回路(CMOS)の平面図、(b)  
はその回路図である。

#### 【0074】

80は相補型回路、81はP型薄膜トランジスタ、82はN型薄膜トランジ  
スタ、91はP型薄膜トランジスタ81のソース領域83に接続されたソース電極  
92はP型薄膜トランジスタ81のゲート電極84およびN型薄膜トランジ  
スタ82のゲート電極85に接続された入力電極、93はP型薄膜トランジスタ8



1のドレイン領域86およびN型薄膜トランジスタ82のドレイン領域87に接続された出力電極、94はN型薄膜トランジスタ82のソース領域88に接続されたソース電極である。その回路図は(b)に示される。

【0075】

コンタクトホール95、96、97、98は、電流を結晶粒界21に沿うように流し、電流密度を均一化するために、ソース領域83、88とドレイン領域86、87の幅方向に多数個並べて配置している。

【0076】

図11(a)に示す相補型回路80のP型薄膜トランジスタ81では、ソース領域83のゲート電極84端の幅を、ドレイン領域86のゲート電極84端の幅より大きくしてある。また、活性層89が扇形状になっている。また、相補型回路80のN型薄膜トランジスタ82では、ソース領域88のゲート電極85端の幅を、ドレイン領域87のゲート電極85端の幅より大きくしてある。また、活性層90が扇形状になっている。

【0077】

すなわち、本実施の形態2では、円形の半導体層1の中に、それぞれ扇形状のN型の薄膜トランジスタ82とP型の薄膜トランジスタ81とを相対する位置に作製し、相補型回路を構成した。

【0078】

本実施の形態2では、円形で大きな結晶粒1の中に、扇形状でなおかつ相対する位置に、N型の薄膜トランジスタ82とP型の薄膜トランジスタ81とを作製することにより、よりよい相補性を示す相補型回路80が実現できる。

【0079】

《製造工程》

図12(a)、(b)は、本実施の形態2の相補型回路の製造工程概略断面図である。

【0080】

本実施の形態2では、上記実施の形態1の製造工程における図10(a)のイオンドーピング工程を行う際、P型にする薄膜トランジスタ81には、イオンド

ーピングされないように、レジスト膜76を用いてマスクした後、N型にする薄膜トランジスタ82にのみ例えばリン66をドーピングする。その後、逆に、N型にする薄膜トランジスタ82には、イオンドーピングされないように、レジスト膜77を用いてマスクした後、P型にする薄膜トランジスタ81にのみ例えばボロン78をドーピングする。

#### 【0081】

ドーピング後、500℃の窒素雰囲気中で3時間、ドーパントの活性化アニールを行う。

#### 【0082】

##### 実施の形態3

なお、上記実施の形態1における製造工程では、図8(c)において、a-Si膜53にKrFエキシマレーザ55を照射して多結晶シリコン膜56(図8(d))を得る際、レーザ光強度を、中心を弱く、周辺を強く、同心円状にすることで、円板型の大きな結晶粒を持つ多結晶シリコン膜56を得た。この多結晶シリコン膜56は、図2、図6(a)、および図7の円形の半導体層1に相当する。

#### 【0083】

図13(a)は、図8(c)とは別のKrFエキシマレーザ55の照射方法を示す概略斜視図、(b)はその結果、形成された結晶粒を示す概略平面図である。

#### 【0084】

図13(a)に示すように、KrFエキシマレーザ55を $350\text{ mJ} \cdot \text{cm}^{-2}$ の強度で照射する。レーザ光強度を、中心線75上で弱く、外側ほど強くすることで、図13(b)に示すように、中心線75から該中心線75と直角の方向に外側に長く伸びる大きな結晶粒31を持つ多結晶シリコン膜を得る。これらの細長い結晶粒31を有する半導体層においては、結晶粒界21が平行に伸びている。

#### 【0085】

図14(a)は、図13(b)に示した、結晶粒界21が平行に伸びている細

長い結晶粒 3 1 の概略平面図、(b) は該細長い結晶粒 3 1 における活性層 1 1 の配置例を示す概略平面図である。

#### 【 0 0 8 6 】

活性層 1 1 は図の上に位置するものほど電気特性が良く、下に位置するものほど良くない。

#### 【 0 0 8 7 】

すなわち、本実施の形態 1 では、薄膜トランジスタが形成される半導体層は、結晶粒界が平行に伸びている半導体層、例えば図 1 4 (a)、(b) の細長い結晶粒 3 1 であり、活性層 1 1 f、1 1 g、1 1 h、1 1 i のソースドレイン方向（すなわち、電流が流れる方向）が前記平行方向に沿うように、該活性層 1 1 が配置されている。これにより、ソースドレイン方向 1 7、すなわち、電気伝導の担体である電子あるいは正孔の移動する方向に沿って結晶粒界 2 1 が存在するので、電気特性を向上できる。これに対して、図 1 4 (b) の活性層 1 1 j、1 1 k、1 1 l、1 1 m は、ソースドレイン方向を横切る向きの結晶粒界 2 1 が存在する度合いが高いので、電気特性は低下する。

#### 【 0 0 8 8 】

なお、液晶ディスプレイにおける画素のスイッチング素子として、あるいは周辺回路の構成素子として、以上説明した本発明に係る電気特性の優れた薄膜トランジスタを用いることにより、高性能の液晶ディスプレイを実現することができる。

#### 【 0 0 8 9 】

以上本発明を実施の形態に基づいて具体的に説明したが、本発明は上記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

#### 【 0 0 9 0 】

#### 【発明の効果】

以上説明したように、本発明によれば、電気特性のばらつきを小さくすることができる薄膜トランジスタおよびそれを用いた液晶ディスプレイを提供することができる。

## 【図面の簡単な説明】

## 【図1】

(a) は本発明の実施の形態1に係る薄膜トランジスタの概略構成を示す平面図、(b) は(a)の断面図、(c) は、本実施の形態1に係る別の薄膜トランジスタの概略構成を示す平面図、(d) は(c)の断面図である。

## 【図2】

円形の半導体層を用いて、扇形状の結晶の中心軸と、(001)方向との角度に対する電界効果移動度の違いを、扇形の開き角を変えて行った実験を説明する図である。

## 【図3】

図2の実験の結果である電界効果移動度の方位依存性を示す図で、扇形の開き角 $\theta$ における、扇形状の結晶の中心軸Aの方位と相対移動度との関係を示す図である。

## 【図4】

本実施の形態1に係る活性層の概略形状と、台形の開き角を示す概略平面図である。

## 【図5】

(a) ~ (d) はそれぞれ活性層における結晶粒界を示す概略平面図である。

## 【図6】

(a) は結晶粒界が放射状に伸びている円形の半導体層の概略平面図、(b) は該円形の半導体層における活性層の配置例を示す概略平面図である。

## 【図7】

本実施の形態1の薄膜トランジスタの概略平面図である。

## 【図8】

(a) ~ (g) は、本実施の形態1の薄膜トランジスタの製造工程概略断面図である。

## 【図9】

(h) ~ (o) は、本実施の形態1の薄膜トランジスタの製造工程概略断面図である。

## 【図 1 0】

(p) ~ (u) は、本実施の形態 1 の薄膜トランジスタの製造工程概略断面図である。

## 【図 1 1】

(a) は、本実施の形態 2 の相補型回路 (CMOS) の平面図、(b) はその回路図である。

## 【図 1 2】

(a)、(b) は本実施の形態 2 の相補型回路の製造工程概略断面図である。

## 【図 1 3】

(a) は図 8 (c) とは別のレーザの照射方法を示す概略斜視図、(b) はその結果、形成された本発明の実施の形態 3 の結晶粒を示す概略平面図である。

## 【図 1 4】

(a) は結晶粒界が平行に伸びている細長い結晶粒の概略平面図、(b) は該細長い結晶粒における活性層の配置例を示す概略平面図である。

## 【図 1 5】

従来の結晶粒と結晶粒界の一例を示す概略平面図である。

## 【符号の説明】

1 … 円形の半導体層、2 … 扇形状の結晶、A … 扇形状の結晶の中心軸、B … (0 0 1) 方向、 $\theta$  … 扇形の開き角、C … 扇形状の結晶の中心軸 A と (0 0 1) 方向 B との角度、

1 0 … 薄膜トランジスタ、1 1 … 活性層、1 2 … ソース領域、1 3 … ドレイン領域、1 4 … ゲート電極、1 5 … ゲート絶縁膜、1 6 … チャネル領域、1 7 … ソースドレイン方向、 $W_s$  … ソース領域のゲート電極端の幅、 $W_d$  … ドレイン領域のゲート電極端の幅、

1 1 a ~ 1 1 m … 活性層、2 1 … 結晶粒界、2 2 … 電流が流れる方向、

3 1 … 細長い結晶粒、

3 2 … ソース電極、3 3 … ドレイン電極、4 2、4 3 … コンタクトホール、

5 1 … ガラス基板、5 2 … 下地酸化膜 ( $SiO_2$  膜)、5 3 … a-Si 膜、5 4 … ボロン、5 5 … KrF エキシマレーザ、5 6 … 多結晶シリコン膜、5 7 … 保

護酸化膜 ( $\text{SiO}_2$  膜)、58…レジスト膜、59…ゲート酸化膜 ( $\text{SiO}_2$  膜)、60…Al膜、61…レジスト膜、62…ゲート電極、63…パッシベーション膜 ( $\text{SiO}_2$  膜)、64…レジスト膜、65…コンタクトホール、66…リン、67…ソース領域、68…ドレイン領域、69…チャネル領域、70…Al膜、71…レジスト膜、72…ソース電極、73…ドレイン電極、74…ゲート電極 (ゲート取り出し電極)、

75…中心線、

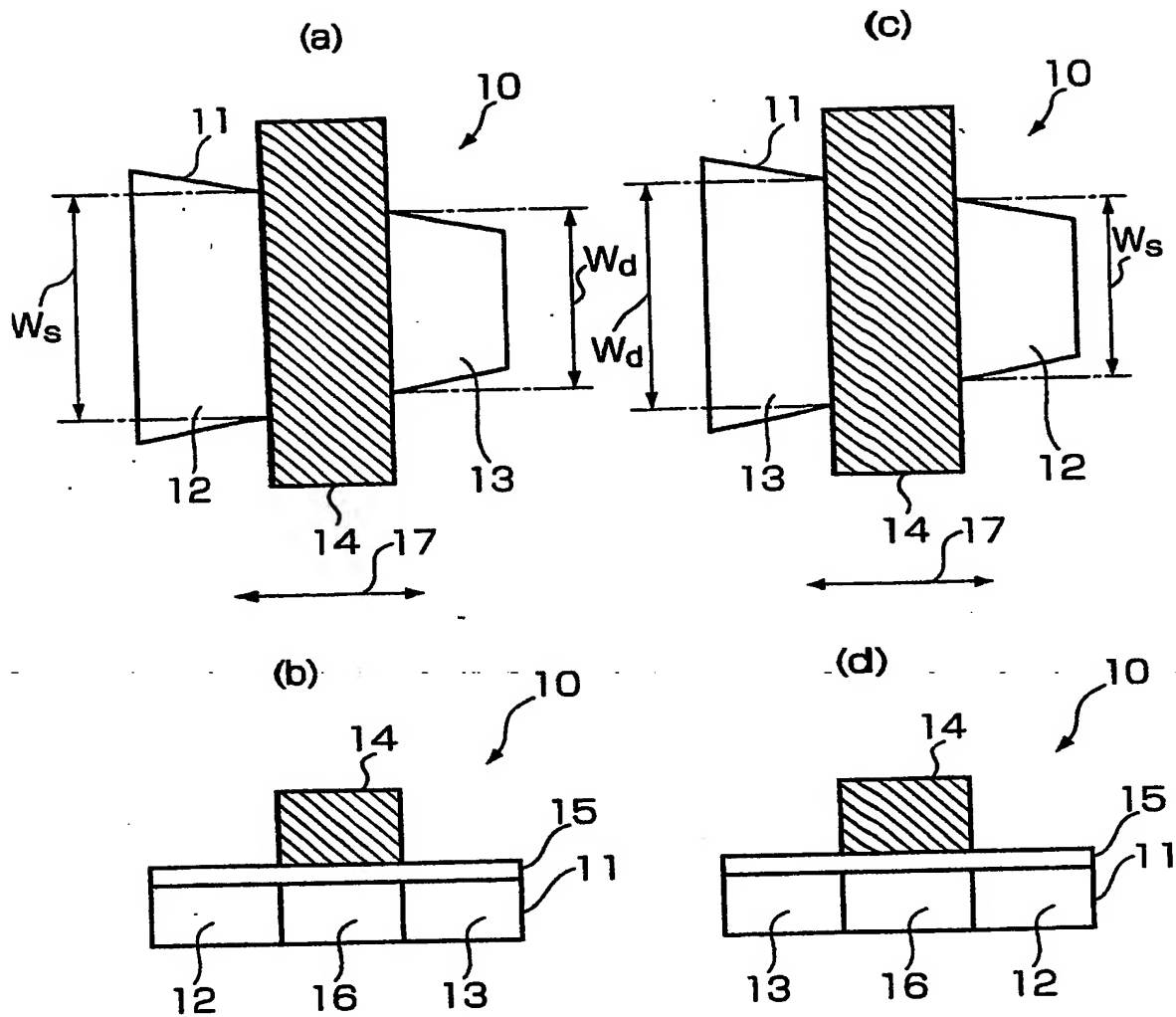
76、77…レジスト膜、78…ボロン、

80…相補型回路、81…P型薄膜トランジスタ、82…N型薄膜トランジスタ、83、88…ソース領域、86、87…ドレイン領域、84、85…ゲート電極、91…ドレイン電極、92…入力電極、93…出力電極、94…ソース電極、

100…結晶粒、101…結晶粒界、102…活性層、103…電流が流れる方向。

【書類名】 図面

【図1】



$$W_s > W_d \text{ or } W_s < W_d$$

- 10...薄膜トランジスタ
- 11...活性層
- 12...ソース領域
- 13...ドレイン領域
- 14...ゲート電極
- 15...ゲート絶縁膜
- 16...チャネル領域
- 17...ソースドレイン方向
- $W_s$ ...ソース領域のゲート電極端の幅
- $W_d$ ...ドレイン領域のゲート電極端の幅

図1



【図 2】

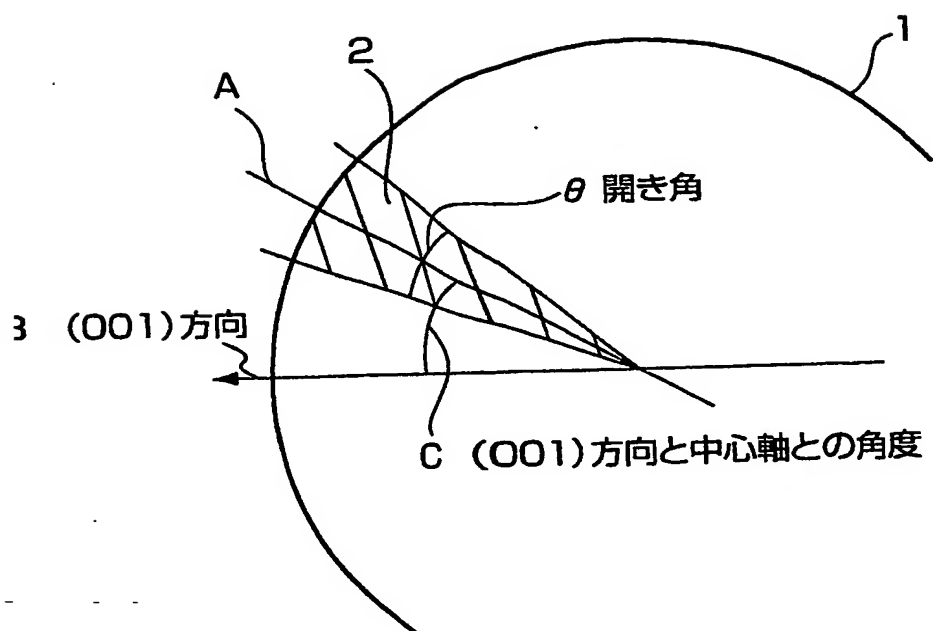


図2

【図3】

電界効果移動度の方向依存性

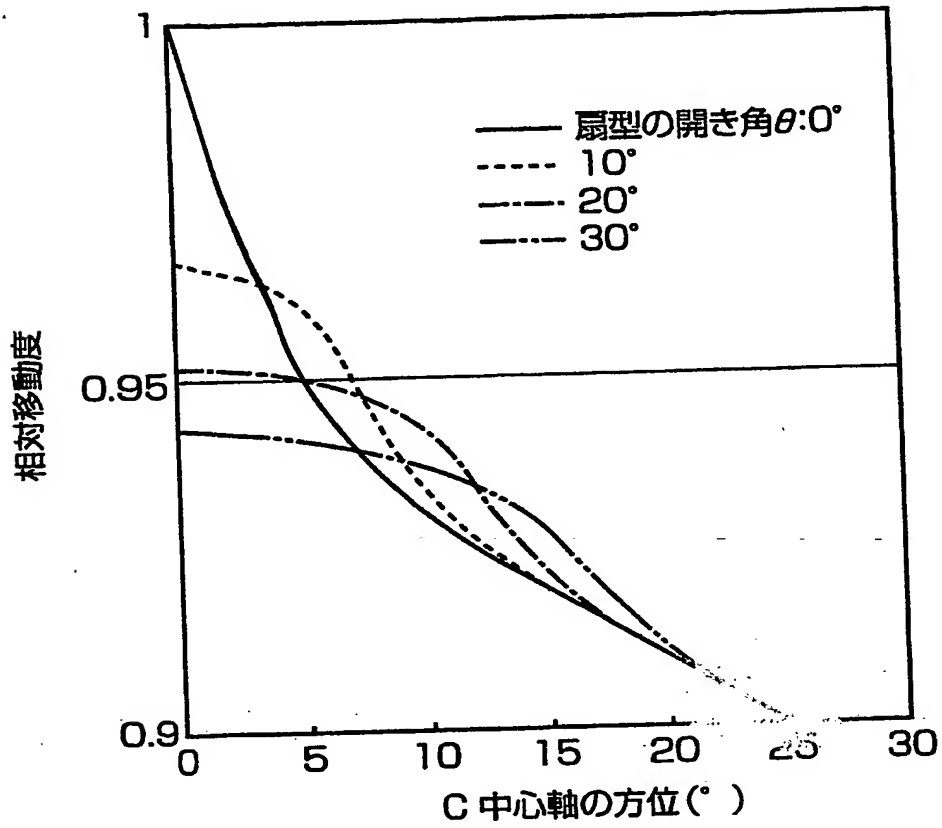


図3

【図4】

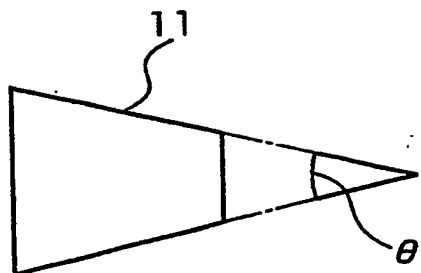


図4

【図5】

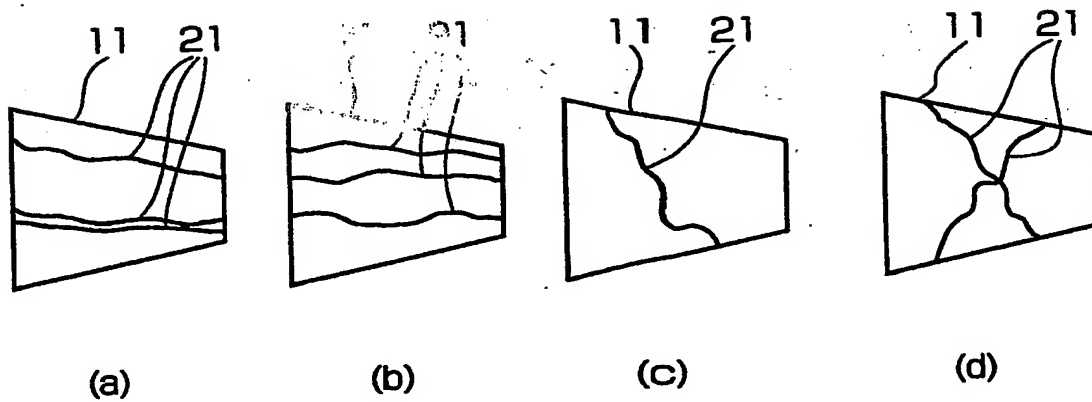


図5

【図6】

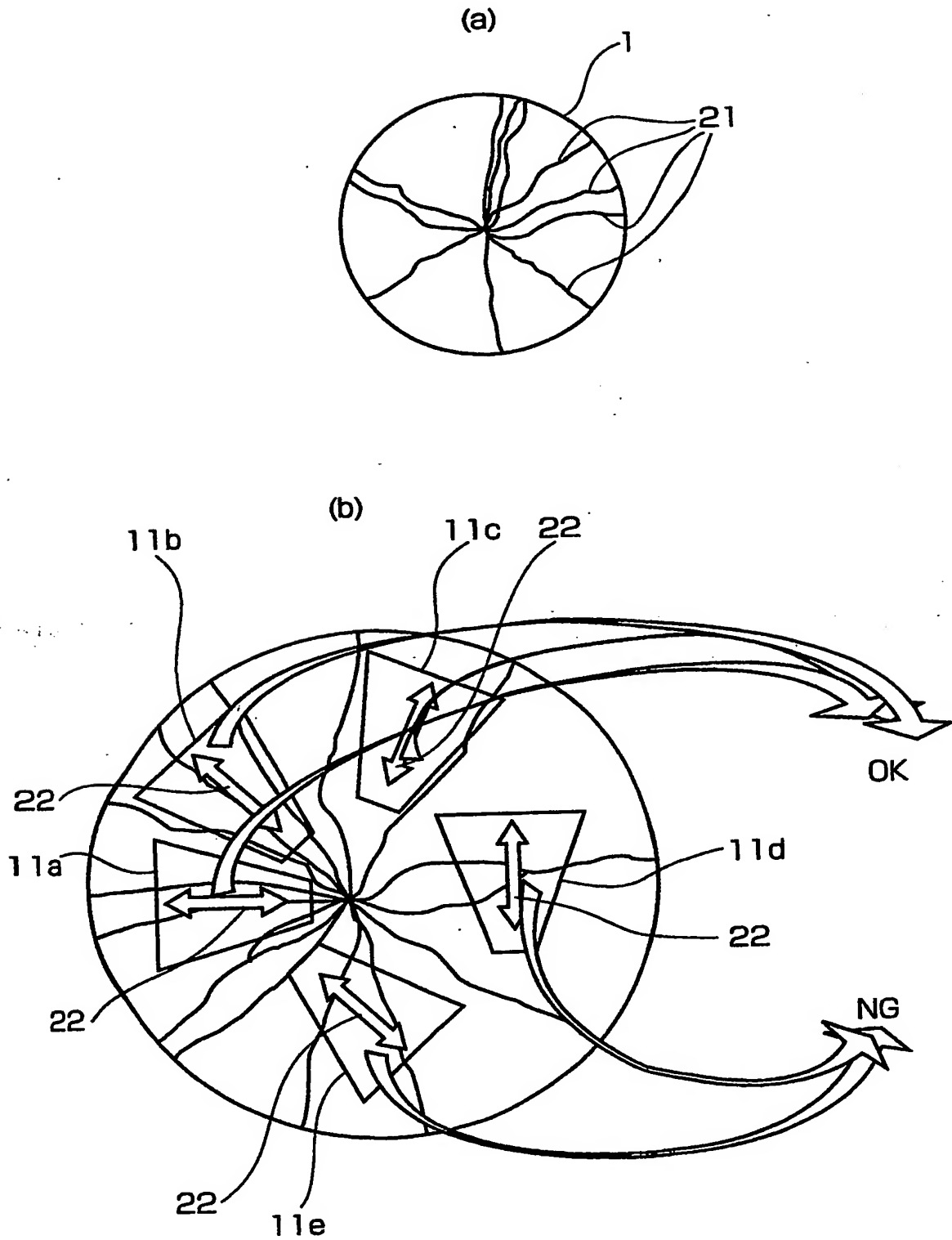


図6

【図7】

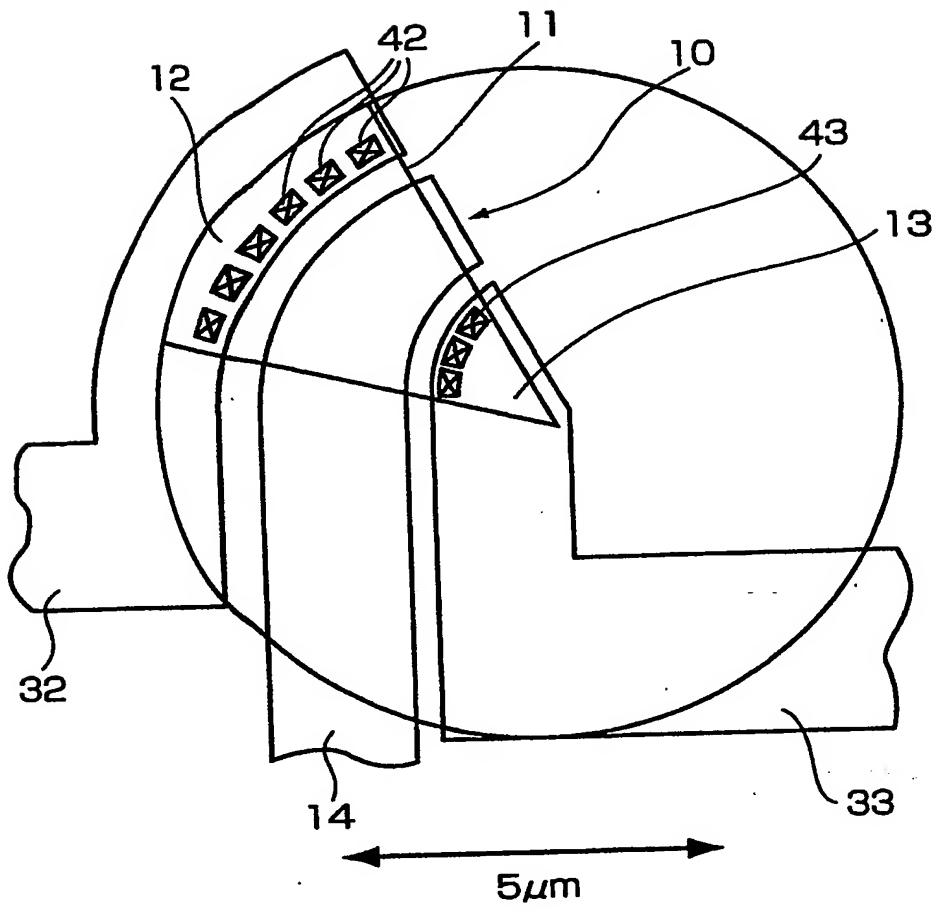


図7

【図 8】

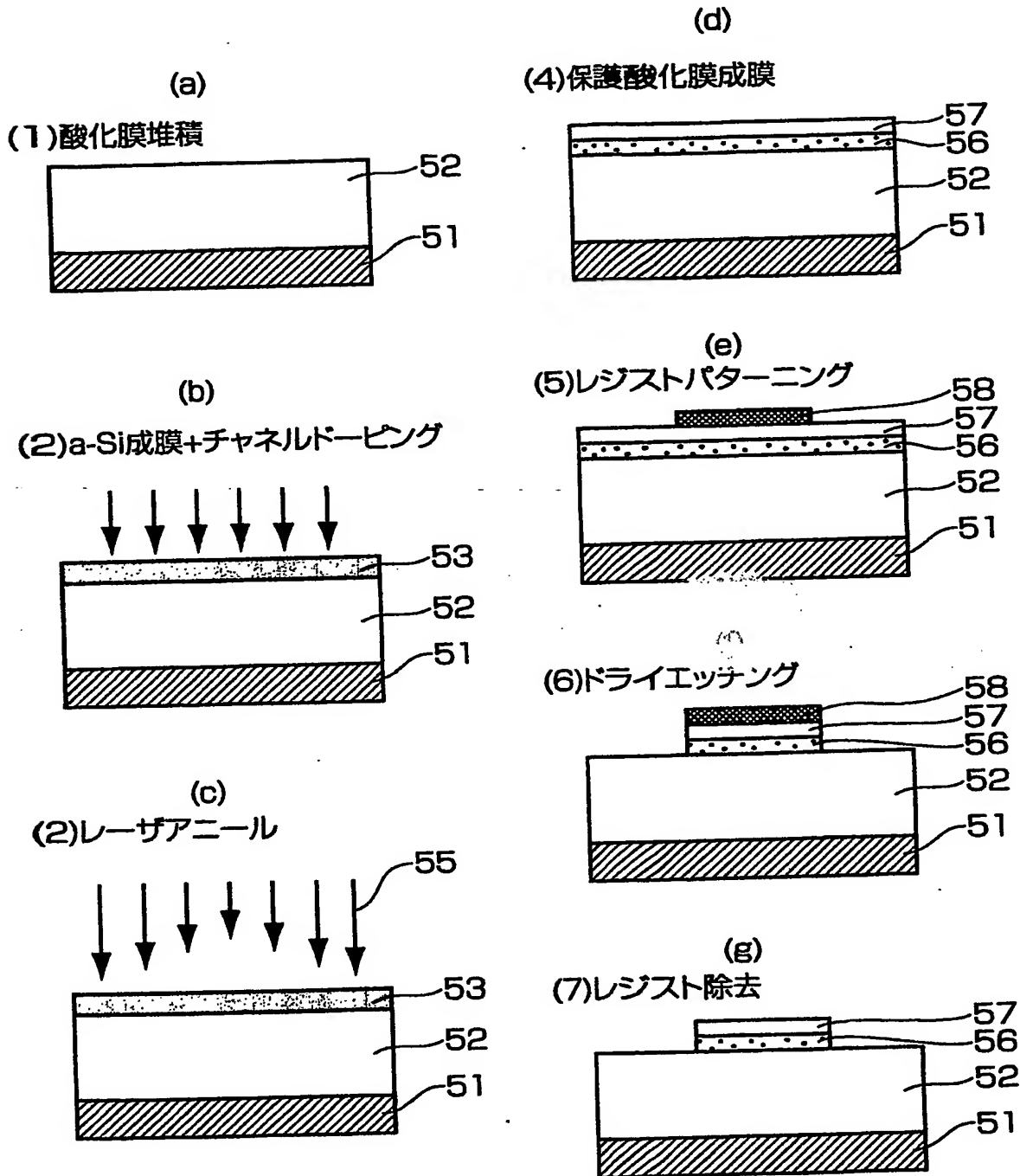


図8

【図9】

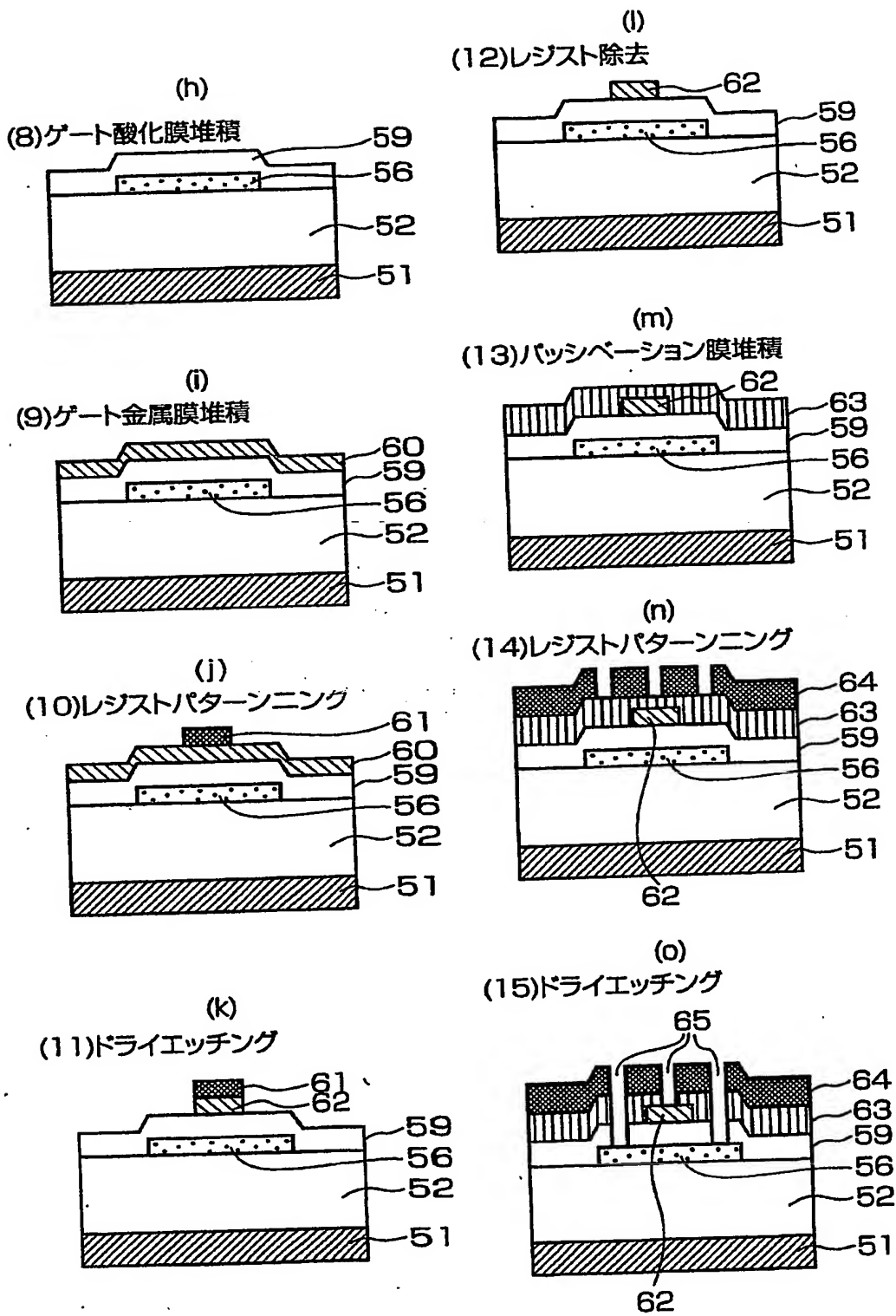
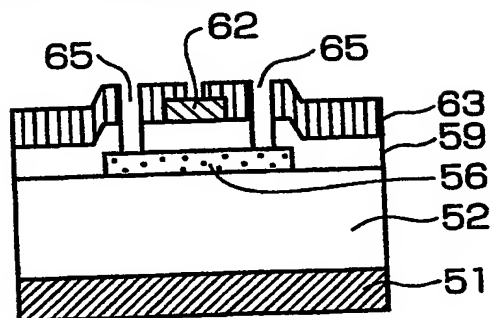


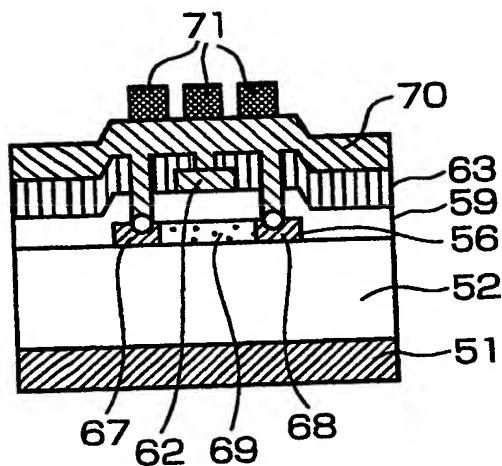
図9

【図10】

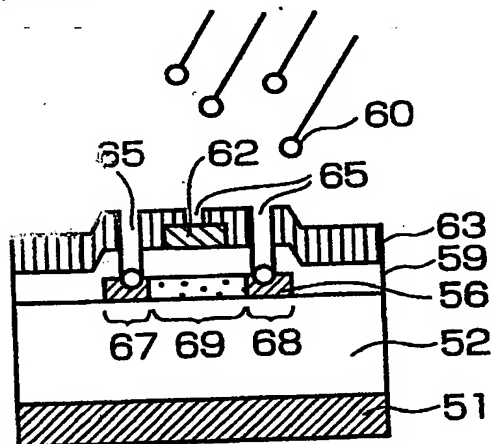
(d)  
(16)レジスト除去



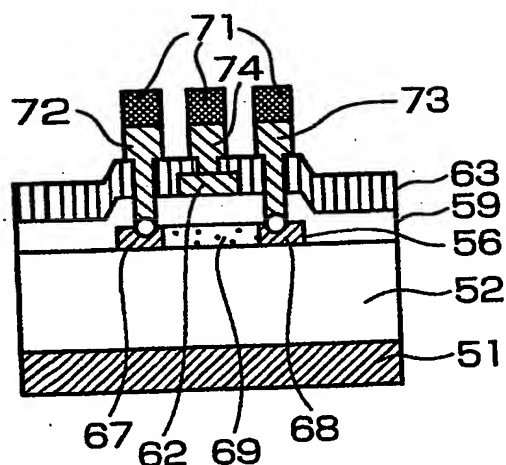
(s)  
(19)レジストパターンニング



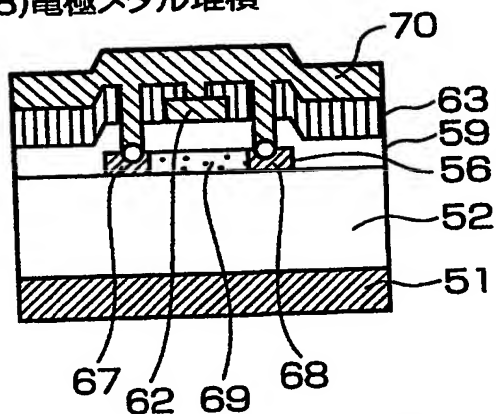
(q)  
(17)イオンドーピング+活性化アニール



(t)  
(20)ドライエッチング



(r)  
(18)電極メタル堆積



(u)  
(21)レジスト除去

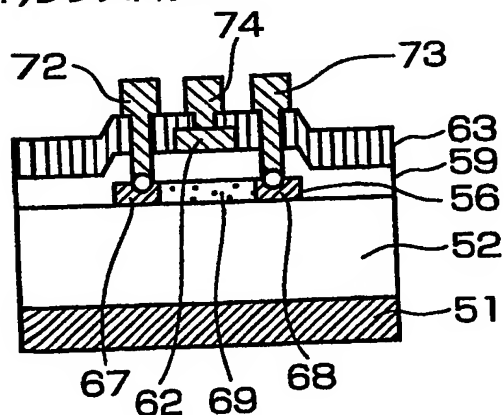


図10



002-082451

【☒ 11】

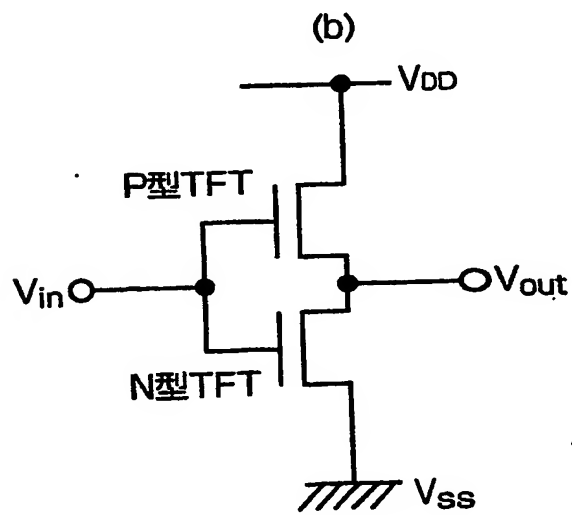
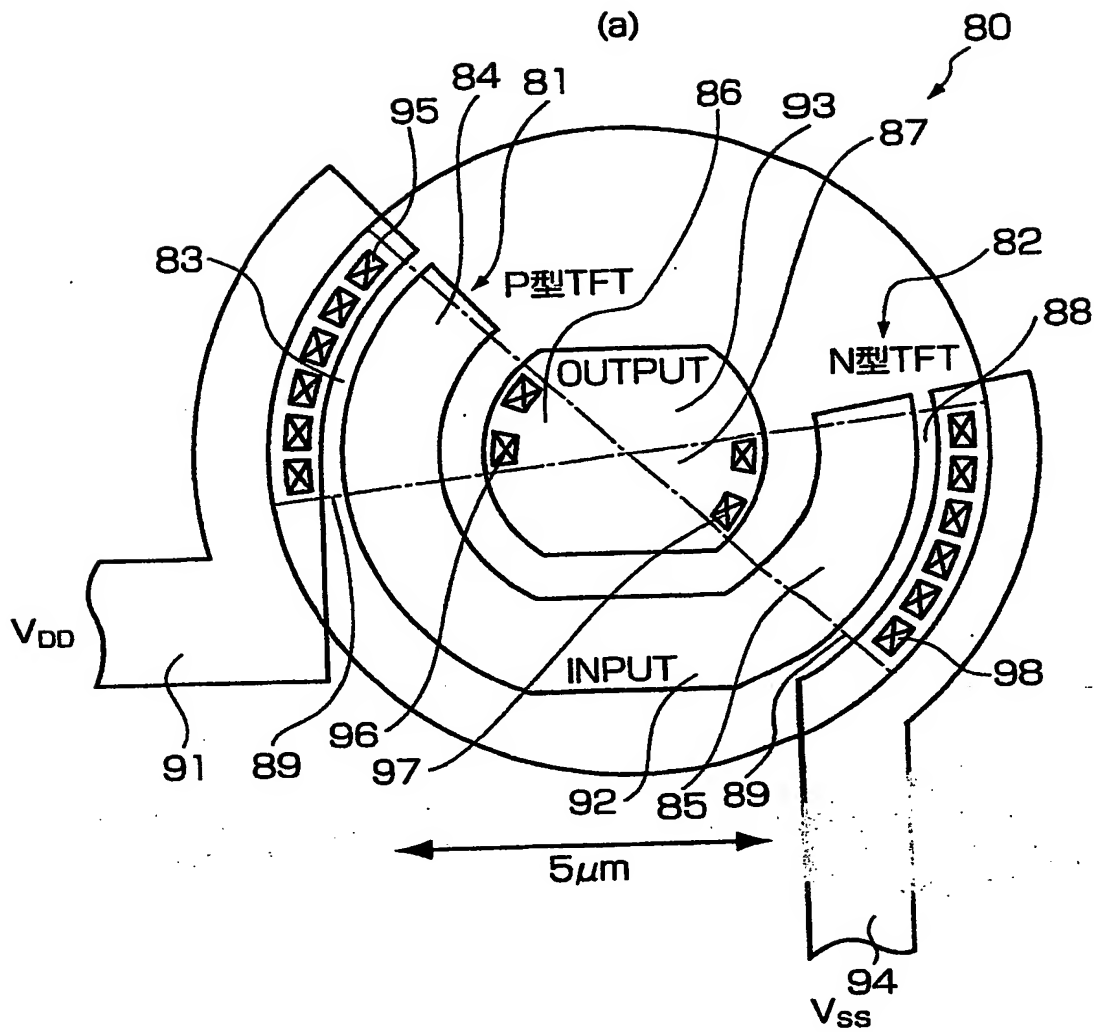


図11

【図12】

(17)イオンドーピング+活性化アニール

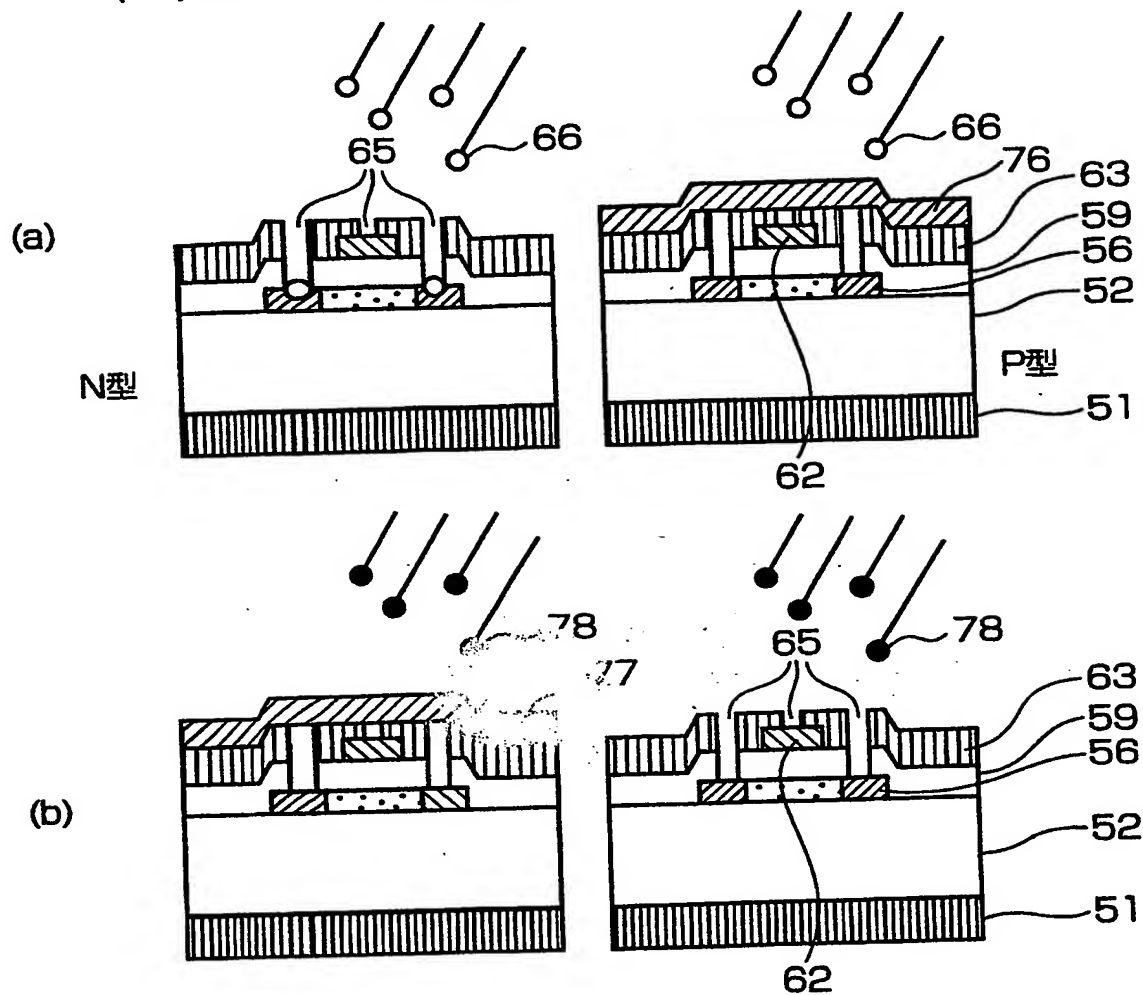


図12

【図13】

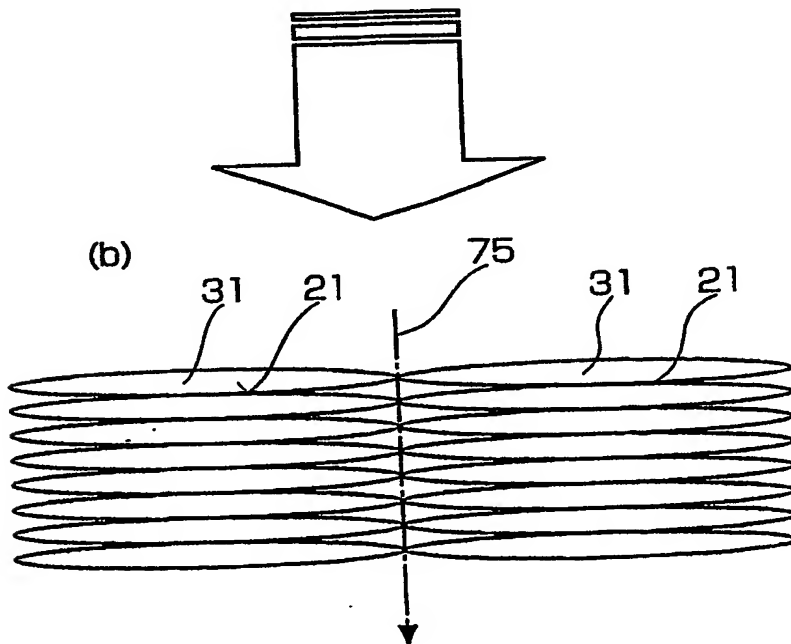
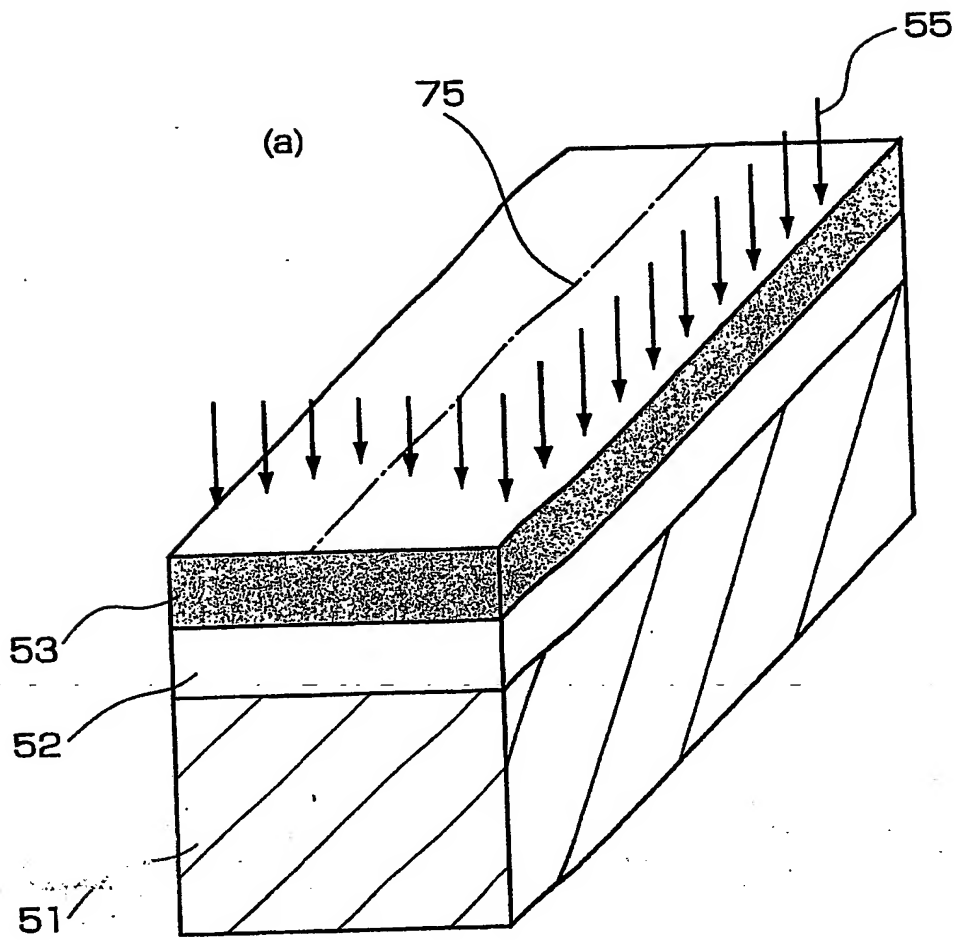


図 13

【図14】

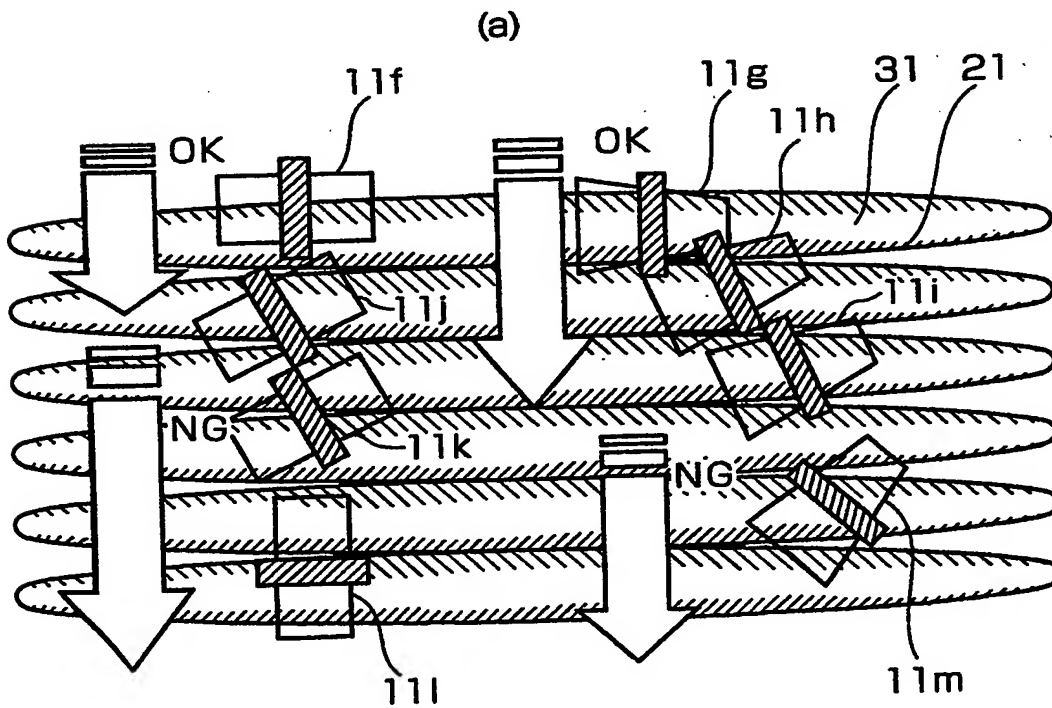
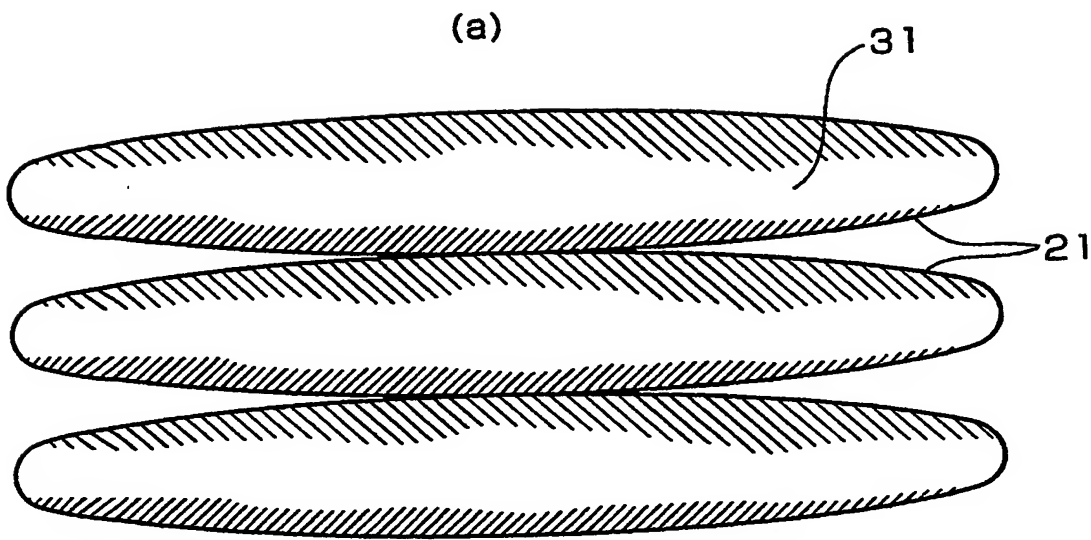


図14

【図15】

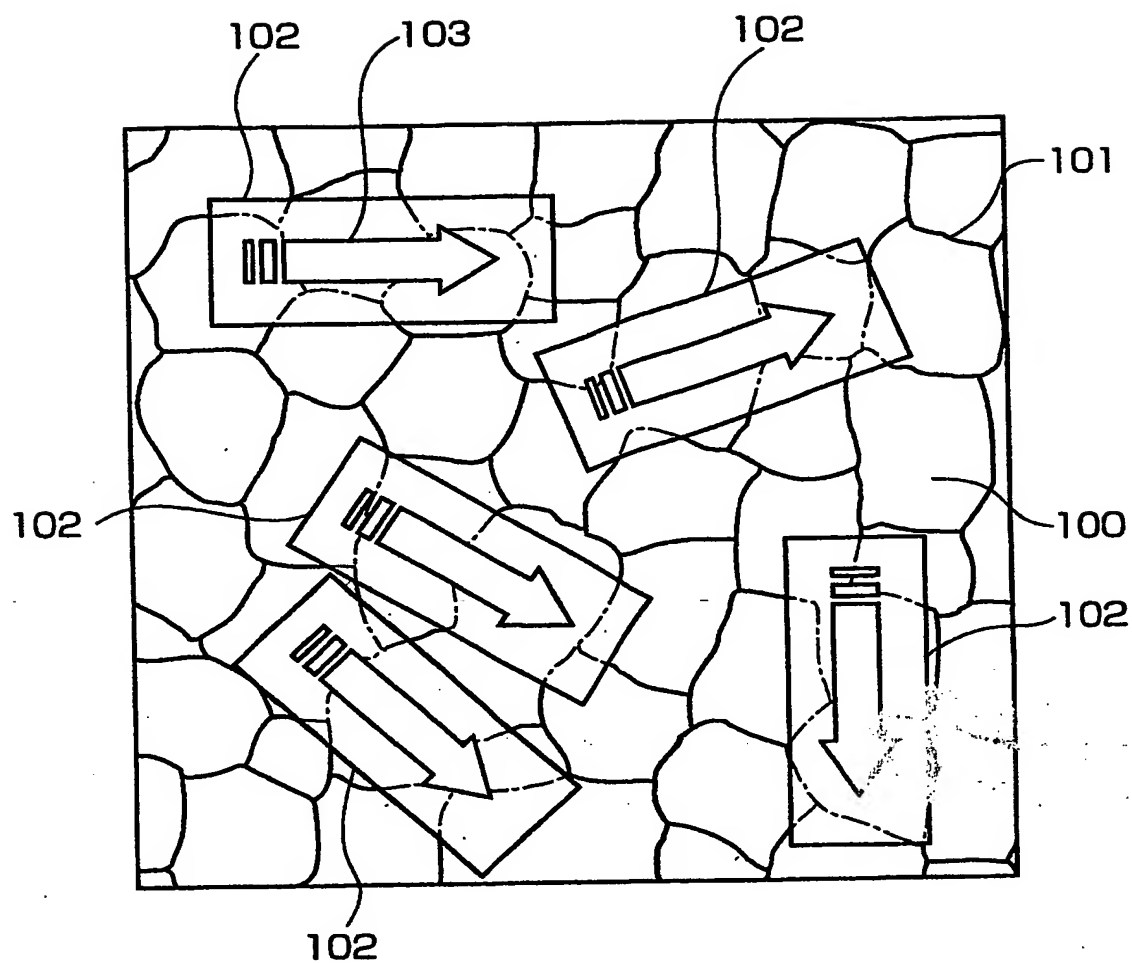


図15

【書類名】 要約書

【要約】

【課題】 電気特性のばらつきを小さくすることができる薄膜トランジスタおよびそれを用いた液晶ディスプレイを提供する。

【解決手段】 半導体層からなる活性層 11 内の両側に設けたソース領域 12 およびドレイン領域 13 と、ソース領域 12 とドレイン領域 13 との間の活性層 11 の上に設けたゲート電極 14 とを有する薄膜トランジスタにおいて、ソース領域 12 のゲート電極 14 端の幅と、ドレイン領域 13 のゲート電極 14 端の幅とが異なる構成。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号

[501286657]

1. 変更年月日

2001年 7月18日

[変更理由]

新規登録

住 所

神奈川県横浜市戸塚区吉田町292番地

氏 名

株式会社 液晶先端技術開発センター



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**